

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-243754

(43)Date of publication of application : 08.09.2000

(51)Int.Cl.

H01L 21/3205

H01L 21/301

H01L 23/29

H01L 23/31

(21)Application number : 11-046736

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 24.02.1999

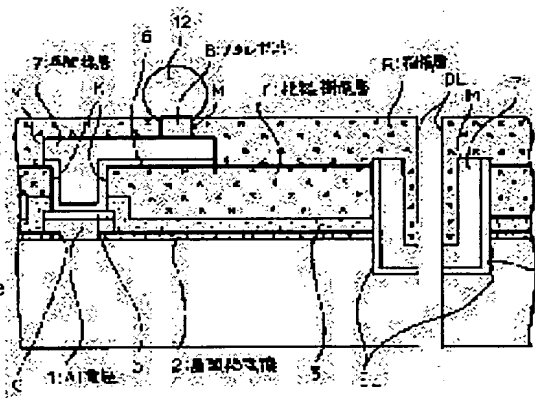
(72)Inventor : SHINOKI HIROYUKI
TOKUSHIGE TOSHIMICHI
TAKAI NOBUYUKI
KITAGAWA KATSUHIKO

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To stop up a moisture penetration path by a method, wherein a removal region, which extends from the surface of a semiconductor chip to a semiconductor substrate, is provided to the peripheral side of a semiconductor chip, and an interface exposed on the removal region is covered with material that is used for a metal spot and/or a rewiring layer.

SOLUTION: With the increase in number of the so-called metal layers provided to an IC, the bottom layer of an interlayer insulating film 2 serves an interface between a metal layer and an insulating layer, and the interface is exposed at an elimination region. The removal region EL extends from the surface of an insulating resin layer r to a semiconductor substrate, and the interface between the interlayer insulating films 2 is exposed on the side of the removal region EL. The side of the removal region EL, where the interface is exposed is coated with an interlayer insulating film 9 and a metal layer, by which the IC can be sealed up for keeping moisture out, and also a material can be formed an interface exposed on the elimination region EL on the same process, where a rewiring layer 7 and a metal post 8 are formed so as to simplify a manufacturing process.



BEST AVAILABLE COPY

LÉGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

**[Kind of final disposal of application other than the
examiner's decision of rejection or application converted
registration]**

[Date of final disposal for application]

[Patent number]

[Date of registration]

**[Number of appeal against examiner's decision of
rejection]**

**[Date of requesting appeal against examiner's decision
of rejection]**

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] In the semiconductor device with which size, parenchyma, etc. of one front face of a semiconductor chip are by carrying out, and it has size and by which one front face of said semiconductor chip was covered by resin The rewiring layer by which the metal post connected with a solder ball or a solder bump and said metal post are connected to said semiconductor chip is prepared. In the side face of said perimeter of a semiconductor chip The semiconductor device characterized by the ingredient used for said metal post and/or said rewiring layer being covered by the interface which the clearance field at which even the lower layer semiconductor substrate of said semiconductor chip arrives was prepared, and was exposed to said clearance field.

[Claim 2] Said clearance field is a semiconductor device according to claim 1 formed of dicing.

[Claim 3] Said ingredient is a semiconductor device according to claim 1 or 2 which changes by Cu.

[Claim 4] Claim 1 by which full cutting is carried out outside the side face which said resin is formed in said clearance field, and said interface exposes, a semiconductor device according to claim 2 or 3.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the semiconductor device whose moisture resistance improves in detail about a semiconductor device.

[0002]

[Description of the Prior Art] Although a semiconductor device is a circumferential governor term, IC is made from the condition of a wafer in the shape of a matrix, and, as for this IC, it has the predetermined function. IC circuit formation section in which this IC circuit was formed is superficially arranged in the shape of a matrix, this IC circuit formation section is surrounded, the dicing line section is prepared in the shape of a grid, dicing is carried out along with this dicing line section, and separation formation is

carried out at each semiconductor device (semiconductor chip).

[0003] For example, JP,9-64049,A is detailed. The outline of a chip-size package 50 is explained, IC is first made from a wafer 51, and drawing 9 prepares the wafer 51 with which even the passivation film 52 was covered, forms opening which exposes the metal electrode 53 (for example, bonding pad) of the maximum upper layer, and forms the rewiring layer 54 by Cu through this opening.

[0004] While the metal post 55 is formed in this rewiring layer 54, closure resin 56 is covered by the whole region on the whole surface, and a solder bump and the solder ball 57 are formed in the metal post 55 exposed from this closure resin 56.

[0005] This rewiring layer 54 is used in order to station a solder ball or a solder bump on a chip in a predetermined pitch. Moreover, it is said that the metal post 55 absorbs the stress generated by heat distortion by the mounting substrate which a solder ball or a solder bump fixes by making the height high.

[0006] Along with the dicing line section 58, dicing is carried out to the shape of a grid in this condition, it dissociates separately, and a semiconductor chip 50 is completed.

[0007]

[Problem(s) to be Solved by the Invention] However, the interface of many interlayer insulation films with which the laminating of the side attachment wall of this dicing line was carried out to said semiconductor device is exposed. This interface became the encroachment way of moisture and had malfunction of said IC circuit, and the problem which causes destruction further.

[0008] Especially, moreover, an interlayer insulation film is prepared in many layers with the number of hierarchies of metal wiring with the 1st interlayer insulation film, the 2nd interlayer insulation film, and interlayer insulation film [of ** a 3rd] --, distortion and flat nature are taken into consideration for this interlayer insulation film itself, the laminating of the film of two or more layers, for example, the TEOS film, and the SOG film is carried out repeatedly, and they are constituted. And the interface of these film is exposed to the side attachment wall formed in the dicing section, and it was made to generate moisture-proof degradation.

[0009] This invention solves said trouble.

[0010]

[Means for Solving the Problem] This invention is made in view of the above-mentioned technical problem, the clearance field where the front face of a semiconductor chip to a semi-conductor substrate arrives at the side face of the perimeter of a semiconductor chip the 1st is prepared, and it solves by covering the ingredient used for the metal post and/or the rewiring layer to the interface exposed to said clearance field.

[0011] It solves by forming said clearance field in the 2nd by dicing.

[0012] It solves by using Cu for the 3rd as said ingredient.

[0013] It solves by carrying out full cutting outside the side face which resin is formed in said clearance field and an interface exposes to the 4th.

[0014] The step-like clearance field was established in the perimeter of a chip, and the interface exposed here is covered with the metal post and/or the formation ingredient of a rewiring layer. Therefore, this covering material can commit a seal ring and damp-proof improvement can be aimed at.

[0015]

[Embodiment of the Invention] Next, the 1st operation gestalt of this invention is explained.

[0016] In drawing 5 , in IC chip usual wirebonding type, a drawing number 1 is the part of the metal (part which functions also as a bonding pad) of the maximum upper layer, and shows the interlayer insulation film with which the contact hole C of this aluminum electrode 1 is formed by the drawing number 2.

[0017] Moreover, metal is formed in the lower layer of this contact hole C by two or more layers, for example, it is in contact with a transistor (the transistor of an MOS mold, or transistor of a BIP mold), a diffusion field, the Pori Si gate, or Pori Si at it.

[0018] Here, although the MOS mold explains this example, it cannot be overemphasized that it can carry out also by BIP.

[0019] Moreover, this structure is IC generally further called metal and two-layer metal --.

[0020] That is, although not illustrated, it takes for increasing with two-layer and three layer --, there is an interface of metal, an insulating layer and an insulating layer, and this another insulating layer formed up and down in the lower layer of an interlayer insulation film, and it has exposed to the clearance field EL which this interface mentions later.

[0021] Furthermore, a drawing number 3 shows the passivation film. The passivation film 3 becomes with Si nitride, an epoxy resin, or polyimide, and the insulating resin layer r is further covered on this here. Since this insulating resin layer r can realize flat nature so that it may mention later, it can make a flat the rewiring layer 7 with which it is dotted in a wafer, and can fix the height of the solder ball with which it is dotted in a wafer.

[0022] When contraction resin with a sheet is adopted especially and the film before hardening is pressurized with a flat front face press plate (metal mold top metal mold), since the height of metal post 8 head is uniform, this application-of-pressure section can be contacted in all metal post heads, the resin of a head can be eliminated, and the metal exposure with a high precision is attained. A process explains for details.

[0023] Moreover, the nitriding Ti film 5 is formed on the aluminum electrode 1.

[0024] The opening K to which the passivation film 3 and the insulating resin layer r expose the nitriding Ti film 5 is formed, and the thin film layer 6 of Cu is formed here as a plating electrode (seed layer) of the rewiring layer 7. And on this, the rewiring layer 7 formed of Cu plating is formed.

[0025] And all over the chip containing the rewiring layer 7, the resin layer R which consists of resin is formed. However, although omitted on a drawing, Si₃N₄ film may be prepared in the interface of the resin layer R, the rewiring layer 7, the resin layer R, and the metal post 8.

[0026] If the resin layers R are thermosetting and thermoplastics, they can be carried out, and its resin of an amic acid film, a polyimide system, and an epoxy system is desirable especially as thermosetting resin. Moreover, if it is thermoplastics, a thermoplastic polymer (Hitachi Chemical: high mull) etc. is desirable. Moreover, an amic acid film is 30 - 50% of contraction.

[0027] What made liquefied amic acid the charge of a principal member is prepared, and spin-on of the resin R is carried out all over a wafer here. Thickness is about 20-60 micrometers. Then, the polymerization of this resin R is carried out by the heat-curing reaction. Temperature is more than 300-degreeC. However, the resin which consists of the amic acid in front of heat curing grows into activity by the radical of said temperature, reacts with Cu, and has the problem which worsens the interface. However, a reaction with this Cu can be prevented by covering Si₃N₄ film on the front face of a rewiring layer. The thickness of Si₃N₄ film is about 1000-3000Å here.

[0028] Moreover, Si₃N₄ film is an insulator layer excellent in barrier property, and SiO₂ film is inferior to barrier property compared with Si₃N₄ film. However, to adopt SiO₂ film, it is necessary to make the thickness thicker than Si₃N₄ film. Moreover, since Si₃N₄ film can be formed by the plasma-CVD method, the step coverage is also excellent and it is desirable. Furthermore, since the resin layer R is covered after forming the metal post 8, if said Si₃N₄ film is formed, the reaction of the resin layer R which it not only prevents the reaction of the resin layer which makes the rewiring layer 7 which consists of Cu, and amic acid the charge of a principal member, but makes the metal post 8 which consists of Cu, and amic acid the charge of a principal member can also be prevented.

[0029] If said resin R hardens the resin layer R in the condition of having a fluidity before hardening, it will contract to inside in the case of hardening, and the thickness will decrease substantially. Therefore, the front face of the resin layer R will be located in a soffit rather than the head of the metal post 8, and the metal post 8 will be exposed. Therefore, it is not necessary to grind the resin layer R and to expose a head. Moreover, although exposing a head to homogeneity at this polish process needs very difficult control, it can be made to expose simply by contraction of resin. However, although it may remain thinly on a head, it removes easily by plasma ashing at this time.

[0030] This process applies resin R with contraction small, of course, and it may grind it in order to

expose the head of the metal post 8 after hardening.

[0031] Therefore, the head of the metal post 8 can attend the edge of the rewiring layer 7, and barrier metal can be formed in the head of the metal post 8. nickel10 and Au11 are especially formed by electroless deposition here.

[0032] If a direct solder ball is formed after the metal post 8 which consists of Cu, connection resilience with a solder ball will deteriorate owing to Cu which oxidized. Moreover, if Au is directly formed for antioxidizing, since Au will be spread, nickel is inserted in between. nickel prevents oxidation of Cu and Au is carrying out antioxidizing of nickel. Therefore, degradation of a solder ball and strong degradation are controlled.

[0033] Moreover, the solder ball 12 is formed in the head of the metal post 8.

[0034] The difference between a solder ball and a solder bump is explained here. Ball-like solder is prepared separately beforehand, a solder ball fixes in the metal post 8, and a solder bump is formed by electrolytic plating through the rewiring layer 7 and the metal post 8. At first, a solder bump is formed as film with thickness, and is spherically formed of heat treatment.

[0035] Here, since a seed layer is removed after forming a metal post, electrolytic plating cannot be adopted but a solder ball is prepared in practice.

[0036] The clearance field shown with EL is formed in the perimeter of chip each currently finally prepared in the state of the wafer, and the ingredient of the rewiring layer 7 and/or the metal post 8 is covered by the interface exposed here.

[0037] The front face of the insulating resin layer r to the semi-conductor substrate has reached, and this clearance field EL is formed by dicing by the below-mentioned manufacture approach. Therefore, the interface of interlayer insulation films is exposed to the side face of a clearance field. Although the seal of moisture is realizable by covering an interlayer insulation film and metal on the side face which this interface has exposed, simplification of a process is considered and it is formed in the clearance field EL at a rewiring layer or the same process as a metal post. Moreover, when protection of IC circuit is taken into consideration, there is the need of carrying out the seal of all the interfaces in the lower layer of the insulating resin layer r. Since considering this point the upper film is used as the coat film from the insulating resin layer r, a seal is made thoroughly.

[0038] Moreover, the ingredient of three kinds of combination, Cu thin film of a seed layer, a rewiring layer, and a metal post, may be covered by this side face.

[0039] In drawing 5, Cu6' and 7' used as the seed layer of a rewiring layer are formed in the clearance field. Moreover, the resin layer R is embedded in the depression section which changes with this covering material.

[0040] Full cutting of this clearance field EL is carried out by the dicing blade of width of face narrower than this width of face. That is, between the clearance fields EL and the full cutting lines DL which reached the semi-conductor substrate at least, said covering material and resin layer R are arranged, the interface edge of each class which causes moisture-proof degradation can be covered, and prevention of component degradation is attained.

[0041] Generally a wafer has the thickness of 200-300 micrometers. Moreover, if the thickness of a wafer is also taken into consideration that the clearance field EL has just reached the semi-conductor substrate (Si substrate) from the insulating resin layer of drawing 5 $R > 5$ as mentioned above, about 1-100 micrometers of a tooth depth are desirable from Si substrate. In addition, although seed layer 6' of Cu and ingredient 8' of a metal post are covered, either is sufficient as drawing 8.

[0042] Then, the manufacture approach is explained more briefly about the structure of drawing 5 than drawing 1.

[0043] First, the semi-conductor substrate (wafer) with which LSI which has the aluminum electrode 1 was formed is prepared. here, it mentioned above -- as -- one-layer metal and two-layer metal -- it is IC of ..., for example, the source electrode of a transistor and a drain electrode are further formed as a metal of an eye, and the aluminum electrode 1 in contact with a drain electrode is formed as a metal of

a two-layer eye.

[0044] Here, after forming the opening C of the interlayer insulation film 2 which a drain electrode exposes, the electrode material and the nitriding Ti film 5 which make aluminum the charge of a principal member all over a wafer are formed, and dry etching of the aluminum electrode 1 and the nitriding Ti film 5 is carried out to the predetermined configuration by using a photoresist as a mask.

[0045] Here, unlike forming a passivation membrane 3 and forming barrier metal from on the opening C which carried out opening after this, it can form at once by the photoresist also including the nitriding Ti film as a barrier metal, and simple ** of a routing counter becomes possible.

[0046] Moreover, the nitriding Ti film 5 is functioning as a barrier metal of the thin film layer (seed layer for plating) 6 of Cu formed behind. And the nitriding Ti film notes being also effective as an antireflection film. That is, it is effective also as antihalation of the resist used in the case of patterning. At least 1200Å – about 1300Å is the need as antihalation, and in order to have the function of barrier metal in this, 2000Å – about 3000Å is desirable. If formed thickly more than this, the stress which the nitriding Ti film generates owing to will occur shortly.

[0047] Moreover, after patterning of the aluminum electrode 1 and the nitriding Ti film 5 is carried out, the passivation film 3 is covered by the whole surface. As passivation film, although Si₃N₄ film is adopted here, polyimide etc. is possible. (Refer to drawing 1 above)

Then, the insulating resin layer r is covered by the front face of the passivation film 3. Here, the photosensitive polyimide film of a positive type is adopted and, as for this insulating resin layer, about about 3–5 micrometers is covered. And Opening K is formed.

[0048] By adopting this photosensitive polyimide film, in patterning of the opening K of drawing 2, the need of forming a photoresist separately and forming Opening K is lost, and adoption of a glass photo mask and a metal mask can realize simplification of a process. Of course, a photoresist is also possible. And as for this polyimide film, the object of flattening is also adopted. That is, in all fields, in order to be uniform, all the height of the metal post 8 sets, and the height of the solder ball 12 needs to be uniform and needs to be formed with a precision sufficient [the rewiring layer 7] for a flat. Therefore, polyimide resin is applied and the front face is made into the flat by the thing of a request before the reason which is resin which has a fluidity with a certain viscosity, and hardening to do for time amount neglect.

[0049] The aluminum electrode 1 is a part which functions as a wirebonding pad here, when not forming as a chip-size package which serves also as the pad for external connection of LSI, and consists of a solder ball (solder bump).

[0050] Moreover, a clearance field larger than dicing width of face prepares in the field to which a dicing line is formed in formation and coincidence of Opening K, and it is ****. For example, if there is an insulating resin layer r with photosensitivity, Opening K and the field corresponding to the clearance field EL are first removed in this insulating resin layer r, this insulating resin layer r will serve as a mask, and the passivation film 3 and an interlayer insulation film 2 will be removed. If it carries out by etching with selectivity, in Opening K side, TiN₅ will become a stopper even if the etching depth of the clearance field EL is deep.

[0051] The interface of an interlayer insulation film 2, the passivation film 3, and the insulating resin layer r is exposed to the side face of the clearance field EL here. (Refer to drawing 2 above)

Then, the thin film layer 6 of Cu is formed in the whole surface. This thin film layer 6 of Cu serves as a plating electrode of the rewiring layer 7 behind, for example, is formed by about about 1000–2000Å thickness of sputtering.

[0052] Then, on the whole surface, the photoresist layer PR 1 is applied and the photoresist PR 1 corresponding to the rewiring layer 7 and the clearance field EL is removed.

[0053] Then, the ingredient of the rewiring layer 7 is formed also in the front face of the clearance field EL through seed layer 6' at the same time it uses as a plating electrode the thin film layer 6 of Cu exposed to opening of this photoresist PR 1 and forms the rewiring layer 7. In order to secure a mechanical strength, it is necessary to form this rewiring layer 7 in about 2–5 micrometers thickly. Here,

although formed using plating, you may form by vacuum evaporation, sputtering, etc.

[0054] Moreover, only a seed layer is formed in the front face of the clearance field EL, or a seed layer and a rewiring layer ingredient may be formed. see drawing 3 above)

Then, the photoresist layer PR 1 is removed, the photoresist PR 2 which exposed the field in which the metal post 8 is formed is formed, and the metal post 8 of Cu is formed in this outcrop by electrolytic plating. The thin film layer 6 of Cu is utilized also for this as a plating electrode. This metal post is formed in height of about 30–40 micrometers.

[0055] Sputtering can be considered as approaches other than electrolytic plating also here.

[0056] Moreover, although the part of the clearance field EL is covered by the photoresist PR 2, it may also expose the part here and may form the ingredient of the metal post 8 by a diagram. A metal post ingredient is embedded again in the slot formed of covering material 6' formed in the clearance field EL, and 7'. In the case of the dicing of drawing 5 , in drawing 4 , since resin exists mostly, the loading of a blade generates this, but if the metal post ingredient is embedded, since the amount of the part resin layer R will become less, the life of a blade is prolonged. (Refer to drawing 4 above)

Then, a photoresist PR 2 is removed and the thin film layer 6 of Cu and 6' are removed by using the rewiring layer 7 and covering material 7' as a mask.

[0057] Although the process shown below was skipped in the drawing, it may put Si₃N₄ film on all front faces by the plasma-CVD method also including the rewiring layer 7, the metal post 8, and covering material 7'.

[0058] This is because the resin R and Cu before hardening formed at a next process reacts with heat. Therefore, it has the problem on which this interface deteriorates. Therefore, it is necessary to cover all of the rewiring layer 7, the metal post 8, and covering material 7' by this Si₃N₄ film. Of course, this Si₃N₄ film can be omitted, when degradation of an interface does not occur.

[0059] Moreover, if Si₃N₄ film is formed after forming the metal post 8, it can cover also including the covering material which consists of the rewiring layer 7, the metal post 8, and this metal post ingredient. Moreover, although it is necessary to protect the side face M which patterning was carried out and has been exposed together, since Si₃N₄ film is covered after carrying out patterning of both, a side face M is protected together here.

[0060] Then, the resin layer R is applied to the whole surface.

[0061] This resin has a fluidity at first, and after a heat-curing reaction finishes, that thickness decreases greatly.

[0062] Since this resin has a fluidity, it can realize flat nature before hardening, and it is located in a soffit from reduction of thickness, therefore a metal post head.

[0063] Moreover, the insulating resin layers R and r also have the following merit. When the resin which is generally viscous is applied by the dispenser, even if it has carried out degassing, the problem which incorporates air bubbles is in inside. When it sinters with air bubbles incorporated, there is a problem on which air bubbles explode in the elevated-temperature ambient atmosphere activity by the side of a future process or a user.

[0064] At this process, it applies by spin-on, and the viscosity is adjusted so that it can form in about 20–30-micrometer thickness with 1 time of spin. Consequently, bigger air bubbles than this thickness burst and disappear, because membranous thickness is thin. Moreover, air bubbles smaller than this thickness are also flown outside together with the resin flown with the centrifugal force of spin-on outside, and can form the film without air bubbles.

[0065] Moreover, the insulating resin layer R needs about 50 micrometers as thickness, adopts the principle mentioned above in this case, divides and applies it to multiple times by spin-on, and it can be formed, removing air bubbles.

[0066] Without, of course adopting spin-on, you may apply by the dispenser and may close with metal mold.

[0067] Furthermore, the point of this insulating resin layer R is contracting in the case of hardening.

Generally resin is carrying out a certain amount of contraction after hardening. However, this insulating resin layer R is contracted in BEKU, and the front face of the insulating resin layer R is located in a soffit rather than the head of the metal post 8. Therefore, since the head of the metal post 8 is exposed, fixing of a solder ball is attained.

[0068] Moreover, although it is necessary to enlarge the rates of exposure also including the side face of the metal post 8 in order to raise the reinforcement of a solder ball, the rate of exposure is controllable because this also controls the coverage of the insulating resin layer R.

[0069] Moreover, what is necessary is just to carry out polish or plasma ashing of that front face simply in this case, although the very thin film may remain on the head of the metal post 8 after hardening. Since the height of a metal post is homogeneity as especially mentioned above, all heads can be made clean if a polish plate with flat nature is adopted.

[0070] Moreover, after covering the insulating resin layer R, carrying out semi-hardening to extent which can be ground and grinding to near the head of the metal post 8, you may harden thoroughly. In this case, since only the very thin film remains in the head of the metal post 8, even if contraction of the insulating resin layer R is small, a metal post can be exposed by contraction of an insulating resin layer. That is, what is necessary is to grind according to it, or to determine moreover or how much it grinds, and just to expose a metal post with it, since the thickness which can be arranged after the metal post 8 is decided by contraction of resin.

[0071] Moreover, since Si_3N_4 film is formed in the head of a metal post when said Si_3N_4 film is formed, it is removed by wet etching, dry etching, or polish in this case.

[0072] Furthermore, nickel10 and Au are plated by the exposed metal post 8. Here, since the thin film layer 6 of Cu is removed considering the rewiring layer 7 as a mask, electroless deposition is adopted, nickel is formed by about 1 micrometer and Au11 is formed by about 5000A.

[0073] When an insulating resin layer is applied to the upper layer of a metal post head and this is ground, search of a metal post is dramatically difficult. Moreover, since Au is in the maximum upper layer by about 5000A thickness, if flat polish is not realized, Au has come out of a certain post, as for another post, an insulating resin layer will hang on Au, and another post will make the condition that Au is deleted. That is, since it serves also as oxidization of nickel, the place which has performed fixing of a solder ball, a weak place, and the place which is not made at all occur.

[0074] since the metal post 8 has exposed this invention -- the barrier metal 10 and 11 -- precision -- it can form highly and the sticking tendency of the solder ball 12 also becomes good.

[0075] Although the contraction mold explained this resin layer R, you may grind, as mentioned above. That is, in the resin layer R, the metal post 8 may be ground until the metal post 8 is exposed a bonnet and after that thoroughly. Since the resin layer R is filling the 1st slot, this polish process can also prevent a crack etc.

[0076] Furthermore, although not illustrated, back grinding of the wafer front face is covered and carried out with a protection sheet, and thickness of a wafer is made thin.

[0077] By a diagram, although omitted, after carrying out back grinding, resin may be covered to a wafer side. This prevents the curvature of the wafer generated by contraction of the insulating resin layer R at the same time the blemish generated in the case of back grinding prevents KAKE of the wafer generated owing to.

[0078] Therefore, since the resin layer R with large contraction is shown in a front face, the resin layer R of comparable thickness needs to be formed also in a rear face. Moreover, the insulating resin layer r is taken into consideration, and comparable [at least / as the thickness of the resin layer R], it is thicker than this, and the thickness of thickness extent of the maximum resin layer R and the resin layer r is an object for **. Moreover, if curvature when the protection and the chip size to KAKE of a chip are large is taken into consideration, the protection resin formed in this rear face can also be made to remain as a product, since dicing is carried out next.

[0079] At the end, alignment of the prepared solder ball 12 is carried out, and it carries and carries out a

reflow. And according to a dicing process, a semi-conductor substrate is divided into a chip along the scribe line DL, and is completed as a chip-size package.

[0080] The timing which fuses solder here is before dicing.

[0081] this dicing -- when it comes to the description of this invention -- time -- it is -- a dicing blade narrower than the clearance field EL -- preparing -- this -- using -- the clearance field EL -- full cutting is mostly carried out in the pin center, large. Since the clearance field EL is realized by the half cutting which even for example, the semi-conductor substrate has reached, the interface edge of each class formed in the upper layer from a semi-conductor substrate is protected in said enveloping layer 6', 7', and the resin layer R, and serves as CSP.

[0082] As mentioned above, although the rewiring mold has explained this invention, it cannot be overemphasized that it can carry out also with a plastic molded type.

[0083] Moreover, in this application, the film F with sheet 30 may be adopted as an insulating resin layer R.

[0084] Then, the gestalt of the 2nd operation is explained. This uses metal post material as covering material. It is the same until it forms the seed layer 6 of drawing 3 , and 6'.

[0085] After a seed layer is formed, the photoresist PR 1 to which the formation field of the rewiring layer 7 was exposed is formed. Here, the clearance field EL is covered. And the rewiring layer 7 is formed through the seed layer 6 and 6'. (Refer to drawing 6 above)

Then, covering material 8' is formed at the same time it removes a photoresist PR 1, it forms the photoresist PR 2 which the formation field of the metal post 8 and the formation field of the clearance field EL exposed and it forms the metal post 8 through the seed layer 6. (Refer to drawing 7 above)

Furthermore, a photoresist PR 2 is removed, the resin layer R is formed, and the dicing of the solder ball is formed and carried out. this process -- the process of drawing 5 , and parenchyma -- since it is the same, detailed explanation is omitted.

[0086] The gestalt of both operations is formed by dicing, or the clearance field EL may be realized by etching.

[0087] As mentioned above, since a rewiring layer ingredient and a metal post ingredient can be covered, the function as a seal ring can be given to the field which the interface of the clearance field EL has exposed. And since this invention is prepared in the last-minute place of a dicing field unlike preparing separately the seal ring which changes with the electrode of IC formation field, it can realize, without enlarging size of a chip-size package.

[0088]

[Effect of the Invention] According to this invention, the clearance field at which the front face of a semiconductor chip to a semi-conductor substrate arrives can be established in the side face of the perimeter of a semiconductor chip the 1st, and covering the ingredient used for the metal post and/or the rewiring layer to the interface exposed to said clearance field can close the encroachment way of the moisture leading to aging.

[0089] The formation time amount of the clearance field EL can be substantially shortened by forming said clearance field in the 2nd by dicing.

[0090] The seal of a duplex is realizable by carrying out full cutting outside the side face which resin is formed in said clearance field and an interface exposes to the 3rd.

[0091] Furthermore, it can form by sharing the plating process of Cu, without adding a process separately.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is drawing explaining the manufacture approach of the semiconductor device concerning the 1st operation gestalt of this invention.

[Drawing 2] It is drawing explaining the manufacture approach of the semiconductor device concerning the 1st operation gestalt of this invention.

[Drawing 3] It is drawing explaining the manufacture approach of the semiconductor device concerning the 1st operation gestalt of this invention.

[Drawing 4] It is drawing explaining the manufacture approach of the semiconductor device concerning the 1st operation gestalt of this invention.

[Drawing 5] It is drawing explaining the manufacture approach of the semiconductor device concerning the 1st operation gestalt of this invention.

[Drawing 6] It is drawing explaining the manufacture approach of the semiconductor device concerning the 2nd operation gestalt of this invention.

[Drawing 7] It is drawing explaining the manufacture approach of the semiconductor device concerning the 2nd operation gestalt of this invention.

[Drawing 8] It is drawing explaining the manufacture approach of the semiconductor device concerning the 2nd operation gestalt of this invention.

[Drawing 9] It is drawing explaining the conventional chip-size package.

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-243754

(P2000-243754A)

(43) 公開日 平成12年9月8日(2000.9.8)

(51) Int.Cl.⁷

識別記号

F I

テーマコード(参考)

H 0 1 L 21/3205
21/301
23/29
23/31

H 0 1 L 21/88
21/78
23/30

S 4 M 1 0 9
L 5 F 0 3 3
D

審査請求 未請求 請求項の数4 O L (全 9 頁)

(21) 出願番号 特願平11-46736

(22) 出願日 平成11年2月24日(1999.2.24)

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 篠木 裕之

大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

(72) 発明者 徳重 利洋智

大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

(74) 代理人 100111383

弁理士 芝野 正雅

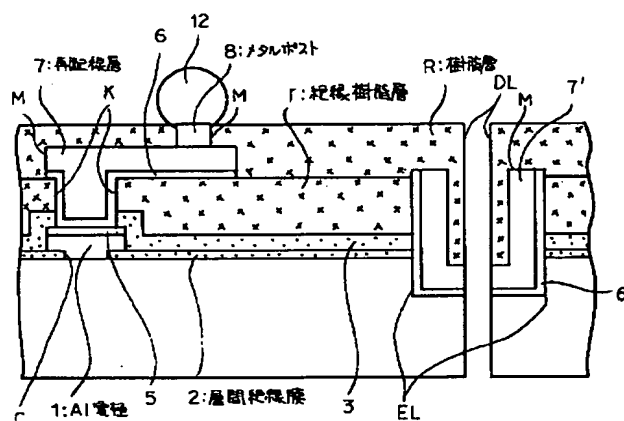
最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 チップサイズパッケージの信頼性を向上させる。

【解決手段】 ダイシング領域に除去領域ELを設け、この側面に被覆材6'、7'を設け、更に樹脂層Rを形成する。そして除去領域ELの幅よりも狭いダイシングブレードでフルカットすれば、従来ダイシング時に露出していた界面を被覆保護できる。



(2)

【特許請求の範囲】

【請求項1】 半導体チップの一表面のサイズと実質等しいサイズを有し、前記半導体チップの一表面が樹脂により被覆された半導体装置に於いて、

前記半導体チップには半田ボールまたは半田バンプと接続されるメタルポストおよび前記メタルポストが接続される再配線層が設けられ、

前記半導体チップ周囲の側面には、前記半導体チップの下層の半導体基板まで到達する除去領域が設けられ、前記除去領域に露出した界面には、前記メタルポストおよび／または前記再配線層に用いられた材料が被覆される事を特徴とした半導体装置。

【請求項2】 前記除去領域は、ダイシングにより形成される請求項1に記載の半導体装置。

【請求項3】 前記材料は、Cuで成る請求項1または請求項2に記載の半導体装置。

【請求項4】 前記除去領域には前記樹脂が形成され、前記界面が露出する側面よりも外側でフルカットされている請求項1、請求項2または請求項3に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置に関し、詳しくは耐湿性が向上される半導体装置に関するものである。

【0002】

【従来の技術】半導体装置は、周知事項ではあるが、ウェハの状態ではマトリックス状にICが作り込まれ、このICは、所定の機能を有している。平面的には、このIC回路が形成されたIC回路形成部がマトリックス状に配置され、このIC回路形成部を囲み格子状にダイシングライン部が設けられ、このダイシングライン部に沿ってダイシングされ、個々の半導体装置（半導体チップ）に分離形成される。

【0003】例えば、特開平9-64049号公報が詳しい。図9は、チップサイズパッケージ50の概略を説明するものであり、まずウェハ51でICが作られ、パッシベーション膜52まで被覆されたウェハ51を用意し、最上層のメタル電極53（例えばボンディングパッド）を露出する開口部を形成し、この開口部を介して再配線層54をCuで形成する。

【0004】この再配線層54には、メタルポスト55が形成されると共に、全域には封止樹脂56が全面に被覆され、この封止樹脂56から露出したメタルポスト55には、半田バンプや半田ボール57が形成される。

【0005】この再配線層54は、半田ボールまたは半田バンプを所定のピッチでチップ上に配置するために用いられている。またメタルポスト55は、その高さを高くすることにより半田ボールまたは半田バンプが固着される実装基板との熱歪みにより発生する応力を吸収する

2

とされている。

【0006】この状態でダイシングライン部58に沿って格子状にダイシングされ、個々に分離されて半導体チップ50が完成する。

【0007】

【発明が解決しようとする課題】しかしこのダイシングラインの側壁は、前記半導体装置に積層された数々の層間絶縁膜の界面が露出されている。この界面は、湿気の浸入路となり、前記IC回路の誤動作、更には破壊を引き起こす問題があった。

【0008】特にメタル配線の階層数により第1の層間絶縁膜、第2の層間絶縁膜、第3の層間絶縁膜…と何層にも層間絶縁膜が設けられ、しかもこの層間絶縁膜自身が、歪みやフラット性が考慮されて複数層の膜、例えばTEOS膜、SOG膜が何回も繰り返し積層されて構成されている。そしてダイシング部に形成される側壁には、これらの膜の界面が露出され耐湿劣化を発生させていた。

【0009】本発明は、前記問題点を解決するものである。

【0010】

【課題を解決するための手段】本発明は上記の課題に鑑みてなされ、第1に、半導体チップ周囲の側面に、半導体チップの表面から半導体基板まで到達する除去領域を設け、前記除去領域に露出した界面に、メタルポストおよび／または再配線層に用いられた材料を被覆することで解決するものである。

【0011】第2に、前記除去領域を、ダイシングにより形成することで解決するものである。

【0012】第3に、前記材料として、Cuを用いることで解決するものである。

【0013】第4に、前記除去領域には樹脂が形成され、界面が露出する側面よりも外側でフルカットすることで解決するものである。

【0014】チップの周囲に、ステップ状の除去領域を設け、ここに露出する界面をメタルポストおよび／または再配線層の形成材料で覆っている。従ってこの被覆材がシールリングの働きをし、耐湿性の向上を図ることができる。

【0015】

【発明の実施の形態】次に、本発明の第1の実施形態について説明する。

【0016】図5に於いて、図番1は、通常のワイヤボンディングタイプのICチップに於いて、最上層のメタル（ボンディングパッドとしても機能する部分）の部分であり、このA1電極1のコンタクトホールCが形成される層間絶縁膜を図番2で示す。

【0017】またこのコンタクトホールCの下層には、メタルが複数層で形成され、例えばトランジスタ（MOS型のトランジスタまたはBIP型のトランジスタ）、

(3)

3

拡散領域、ポリSiゲートまたはポリSi等とコンタクトしている。

【0018】ここで、本実施例は、MOS型で説明しているが、BIPでも実施できる事は言うまでもない。

【0019】また本構造は、一般には一層メタル、2層メタル…と呼ばれるICである。

【0020】つまり図示していないが、2層、3層…と増加するに連れて、層間絶縁膜の下層には、メタルと絶縁層、絶縁層とこの上下に形成される別の絶縁層の界面があり、この界面が後述する除去領域ELに露出している。

【0021】更には、パッシベーション膜を図番3で示す。ここでパッシベーション膜3は、Si窒化膜、エポキシ樹脂またはポリイミド等でなり、更にこの上には、絶縁樹脂層rが被覆されている。この絶縁樹脂層rは、後述するようにフラット性を実現できるため、ウェハ内に点在する再配線層7をフラットにすることができ、ウェハ内に点在する半田ボールの高さを一定にできる。

【0022】特にシート付きの収縮樹脂を採用する場合、硬化前のフィルムを表面がフラットな押圧板（金型の上金型）で加圧した際、メタルポスト8頭部の高さが均一であるため全てのメタルポスト頭部をこの加圧部に当接でき、頭部の樹脂を排除でき、精度の高いメタル露出が可能となる。詳細はプロセスにて説明する。

【0023】またAl電極1上には、窒化Ti膜5が形成されている。

【0024】パッシベーション膜3と絶縁樹脂層rは、窒化Ti膜5を露出する開口部Kが形成され、ここには、再配線層7のメッキ電極（シード層）としてCuの薄膜層6が形成される。そしてこの上には、Cuメッキにより形成される再配線層7が形成される。

【0025】そして、再配線層7を含むチップ全面には、樹脂から成る樹脂層Rが形成される。ただし、図面上では省略しているが、樹脂層Rと再配線層7、樹脂層Rとメタルポスト8の界面にはSi₃N₄膜が設けられても良い。

【0026】樹脂層Rは、熱硬化性、熱可塑性樹脂であれば実施可能であり、特に熱硬化性樹脂として、アミック酸フィルム、ポリイミド系、エポキシ系の樹脂が好ましい。また熱可塑性樹脂であれば、熱可塑性ポリマー（日立化成：ハイマル）等が好ましい。またアミック酸フィルムは30～50%の収縮率である。

【0027】ここで樹脂Rは、液状のアミック酸を主材料としたものが用意され、ウェハ全面にスピンオンされる。厚さは20～60μm程度である。その後、この樹脂Rは、熱硬化反応により重合される。温度は、300℃以上である。しかし熱硬化前のアミック酸より成る樹脂は、前記温度の基で活性に成り、Cuと反応し、その界面を悪化させる問題がある。しかし、再配線層の表面にSi₃N₄膜を被覆する事により、このCuとの反応

4

を防止することができる。ここでSi₃N₄膜の膜厚は、1000～3000Å程度である。

【0028】またSi₃N₄膜は、バリア性が優れた絶縁膜で、SiO₂膜は、Si₃N₄膜に比べバリア性に劣る。しかしSiO₂膜を採用する場合は、Si₃N₄膜よりもその膜厚を厚くする必要がある。またSi₃N₄膜は、プラズマCVD法で形成できるので、そのステップカバレッジも優れ、好ましい。更に、メタルポスト8を形成した後、樹脂層Rを被覆するので、前記Si₃N₄膜を形成するとCuから成る再配線層7とアミック酸を主材料とする樹脂層の反応を防止するばかりでなく、Cuから成るメタルポスト8とアミック酸を主材料とする樹脂層Rの反応も防止できる。

【0029】前記樹脂Rは、硬化前に流動性を有する状態の樹脂層Rを硬化すると、硬化の際中に収縮し、大幅にその膜厚が減少するものである。従って樹脂層Rの表面は、メタルポスト8の頭部よりも下端に位置し、メタルポスト8が露出されることになる。従って、樹脂層Rを研磨し、頭部を露出させる必要がない。またこの研磨工程で頭部を均一に露出させることは、非常に難しい制御を必要とするが、樹脂の収縮により簡単に露出させることができる。ただし頭部に薄く残留する場合があるが、この時はプラズマアッシングで容易に取り除ける。

【0030】本工程は、もちろん収縮率の小さい樹脂Rを塗布し、硬化後にメタルポスト8の頭部を露出させるために研磨しても良い。

【0031】従って、再配線層7の端部にメタルポスト8の頭部が顔を出し、メタルポスト8の頭部にバリアメタルを形成することができる。特にここでは、Ni10、Au11が無電解メッキで形成されている。

【0032】Cuから成るメタルポスト8の上に直接半田ボールが形成されると、酸化されたCuが原因で半田ボールとの接続強度が劣化する。また酸化防止のためにAuを直接形成すると、Auが拡散されるため、間にNiが挿入されている。NiはCuの酸化を防止し、またAuはNiの酸化防止をしている。従って半田ボールの劣化および強度の劣化は抑制される。

【0033】また、メタルポスト8の頭部に、半田ボール12が形成される。

【0034】ここで半田ボールと半田バンプの違いについて説明する。半田ボールは、予めボール状の半田が別途用意され、メタルポスト8に固着されるものであり、半田バンプは、再配線層7、メタルポスト8を介して電解メッキで形成されるものである。半田バンプは、最初は厚みを有した膜として形成され、熱処理により球状に形成されるものである。

【0035】ここでは、メタルポストを形成した後シード層が取り除かれるので、電解メッキは採用できず、実際は半田ボールが用意される。

【0036】最後にウェハ状態で用意されているチップ

(4)

5

個々の周囲には、E Lで示す除去領域が形成され、ここに露出する界面には、再配線層7および/またはメタルポスト8の材料がカバーされている。

【0037】この除去領域E Lは、絶縁樹脂層rの表面から半導体基板まで到達しており、後述の製造方法では、ダイシングで形成されている。従って、除去領域の側面には層間絶縁膜同士の界面が露出している。この界面が露出している側面に層間絶縁膜やメタルを被覆することで湿気のシールを実現できるが、工程の簡略化を考え、再配線層やメタルポストと同一工程で除去領域E Lにも形成される。またI C回路の保護を考慮すると、絶縁樹脂層rの下層にある全ての界面をシールする必要性がある。この点を見ると、絶縁樹脂層rよりも上層の膜を被覆膜とするため、完全にシールができる。

【0038】またこの側面には、シード層のCu薄膜、再配線層およびメタルポストの3種類の組み合わせの材料が被覆されても良い。

【0039】図5では、除去領域に再配線層のシード層となるCu6'、7'が形成されている。またこの被覆材で成る凹み部には、樹脂層Rが埋め込まれている。

【0040】この除去領域E Lは、この幅よりも狭い幅のダイシングブレードによりフルカットされる。つまり少なくとも半導体基板に到達した除去領域E LとフルカットラインD Lとの間には前記被覆材や樹脂層Rが配置され、耐湿劣化を引き起こす各層の界面端部を覆うことができ、素子劣化の防止が可能となる。

【0041】一般的にウェハは、200~300μmの厚みを有する。また前述したように除去領域E Lは、図5の絶縁樹脂層から半導体基板(S i基板)に到達していれば良く、ウェハの厚みも考慮すれば、溝の深さは、S i基板から1~100μm程度が好ましい。尚、図8は、Cuのシード層6'とメタルポストの材料8'が被覆されているが、どちらか一方でも良い。

【0042】続いて図5の構造について図1より簡単にその製造方法について説明する。

【0043】まず、A l電極1を有するL S Iが形成された半導体基板(ウェーハ)を準備する。ここでは、前述したように1層メタル、2層メタル・・・のI Cで、例えばトランジスタのソース電極、ドレイン電極が一層目のメタルとして形成され、ドレイン電極とコンタクトしたA l電極1が2層目のメタルとして形成されている。

【0044】ここではドレイン電極が露出する層間絶縁膜2の開口部Cを形成した後、ウェハ全面にA lを主材料とする電極材料、窒化T i膜5を形成し、ホトレジストをマスクとして、A l電極1と窒化T i膜5を所定の形状にドライエッチングしている。

【0045】ここでは、パッシベーション膜3を形成し、この後開口した開口部Cの上からバリアメタルを形成すると違い、バリアメタルとしての窒化T i膜も含めて

6

ホトレジストで一度に形成でき、工程数の簡略が可能となる。

【0046】また窒化T i膜5は、後に形成するCuの薄膜層(メッキ用のシード層)6のバリアメタルとして機能している。しかも窒化T i膜は、反射防止膜として有効であることにも着目している。つまりパターニングの際に使用されるレジストのハレーション防止としても有効である。ハレーション防止として最低1200Å~1300Å程度必要であり、またこれにバリアメタルの機能を兼ね備えるためには、2000Å~3000Å程度が好ましい。これ以上厚く形成されると、今度は窒化T i膜が原因で発生するストレスが発生する。

【0047】またA l電極1と窒化T i膜5がパターニングされた後、全面にパッシベーション膜3が被覆される。パッシベーション膜として、ここではS i3N4膜が採用されているが、ポリイミド等も可能である。(以上図1参照)

続いて、パッシベーション膜3の表面に絶縁樹脂層rが被覆される。この絶縁樹脂層は、ここでは、ポジ型の感光性ポリイミド膜が採用され、約3~5μm程度が被覆されている。そして開口部Kが形成される。

【0048】この感光性ポリイミド膜を採用することで、図2の開口部Kのパターニングに於いて、別途ホトレジストを形成して開口部Kを形成する必要がなくなり、ガラス製のホトマスク、メタルマスクの採用により工程の簡略化が実現できる。もちろんホトレジストでも可能である。しかもこのポリイミド膜は、平坦化の目的でも採用されている。つまり半田ボール12の高さが全ての領域において均一である為には、メタルポスト8の高さが全てに於いて均一である必要があり、再配線層7もフラットに精度良く形成される必要がある。その為にポリイミド樹脂を塗布し、ある粘度を有した流動性を有する樹脂である故、硬化前に所望の時間放置することでその表面をフラットにしている。

【0049】ここでA l電極1はL S Iの外部接続用のパッドも兼ね、半田ボール(半田バンプ)から成るチップサイズパッケージとして形成しない時は、ワイヤボンディングパッドとして機能する部分である。

【0050】また開口部Kの形成と同時に、ダイシングラインが形成される領域に、ダイシング幅よりも広い除去領域が設けれる。例えば絶縁樹脂層rが感光性で有れば、この絶縁樹脂層rでまず開口部Kおよび除去領域E Lに対応する領域が取り除かれ、この絶縁樹脂層rがマスクとなりパッシベーション膜3や層間絶縁膜2が取り除かれる。選択性のあるエッチングで行えば、除去領域E Lのエッチング深さが深くても、開口部K側はT i N5がストッパーとなる。

【0051】ここで除去領域E Lの側面には、層間絶縁膜2、パッシベーション膜3および絶縁樹脂層rの界面が露出している。(以上図2参照)

(5)

7
続いて全面にCuの薄膜層6を形成する。このCuの薄膜層6は、後に再配線層7のメッキ電極となり、例えばスパッタリングにより約1000～2000Å程度の膜厚で形成される。

【0052】続いて、全面に例えばホトレジスト層PR1を塗布し、再配線層7と除去領域ELに対応するホトレジストPR1を取り除く。

【0053】続いて、このホトレジストPR1の開口部に露出するCuの薄膜層6をメッキ電極とし、再配線層7を形成すると同時に、除去領域ELの表面にもシード層6'を介して再配線層7の材料が形成される。この再配線層7は機械的強度を確保するために2～5μm程度に厚く形成する必要がある。ここでは、メッキ法を用いて形成したが、蒸着やスパッタリング等で形成しても良い。

【0054】また除去領域ELの表面にはシード層のみを形成するかシード層と再配線層材料が形成されても良い。(以上図3を参照)

この後、ホトレジスト層PR1を除去し、メタルポスト8が形成される領域を露出したホトレジストPR2が形成され、この露出部に電解メッキでCuのメタルポスト8が形成される。これもCuの薄膜層6がメッキ電極として活用される。このメタルポストは、30～40μm程度の高さに形成される。

【0055】ここでも電解メッキメッキ以外の方法として、スパッタリングが考えられる。

【0056】また図では、除去領域ELの部分は、ホトレジストPR2で覆われているが、この部分も露出し、メタルポスト8の材料を形成しても良い。除去領域ELに形成された被覆材6'、7'により形成された溝に再度メタルポスト材料が埋め込まれる。これは、図5のダイシングの際、図4では、樹脂が多く存在するためブレードの目づまりが発生するが、メタルポスト材料が埋め込まれていれば、その分樹脂層Rの量が減るため、ブレードの寿命が延びる。(以上図4参照)

続いて、ホトレジストPR2を除去し、再配線層7、被覆材7'をマスクとしてCuの薄膜層6、6'を除去する。

【0057】次に示す工程は、図面では省略したが、再配線層7、メタルポスト8、被覆材7'も含めて全表面にプラズマCVD法でSi₃N₄膜を被着しても良い。

【0058】これは、後の工程で形成される硬化前の樹脂RとCuが熱により反応するからである。そのためこの界面が劣化する問題を有している。従って再配線層7、メタルポスト8、被覆材7'は、全てこのSi₃N₄膜でカバーする必要がある。このSi₃N₄膜は、界面の劣化が発生しない場合は、もちろん省略が可能である。

【0059】また、メタルポスト8を形成した後に、Si₃N₄膜を形成すれば、再配線層7、メタルポスト8、このメタルポスト材料より成る被覆材も含めてカバーす

8
ることができる。またパターニングされて露出している側面Mも一緒に保護する必要があるが、ここでは、両者をパターニングした後にSi₃N₄膜を被覆するので、側面Mも一緒に保護される。

【0060】続いて樹脂層Rを全面に塗布する。

【0061】この樹脂は、最初は流動性のあるもので、熱硬化反応が終わるとその膜厚が大きく減少するものである。

【0062】この樹脂は、流動性があるため硬化前に於いてフラット性を実現でき、また膜厚の減少故に、メタルポスト頭部より下端に位置される。

【0063】また絶縁樹脂層R、rは、次のメリットもある。一般に粘性のある樹脂をディスペンサで塗布すると、脱泡してあっても中に気泡を取り込んでしまう問題がある。気泡を取り込んだまま焼結すると、これからの工程やユーザー側での高温雰囲気使用で気泡が破裂する問題がある。

【0064】本工程では、スピノンで塗布し、一回のスピノンで20～30μm程度の膜厚に形成できるようにその粘性を調整してある。この結果、この膜厚よりも大きな気泡は、膜の厚みが薄い故に弾けて消える。またこの膜厚よりも小さい気泡も、スピノンの遠心力で外部へ飛ばされる樹脂と一緒に外に飛ばされ、気泡無しの膜が形成できる。

【0065】また絶縁樹脂層Rは、膜厚として50μm程度を必要とし、この場合、前述した原理を採用し、スピノンで複数回に分けて塗布し、気泡を取り除きながら形成することができる。

【0066】もちろんスピノンを採用せずに、ディスペンサで塗布しても良いし、金型で封止しても良い。

【0067】更に、本絶縁樹脂層Rのポイントは、硬化の際に収縮することである。一般に樹脂は、硬化後に於いて、ある程度の収縮をしている。しかし本絶縁樹脂層Rは、バーク中に収縮し、絶縁樹脂層Rの表面がメタルポスト8の頭部よりも下端に位置される。従ってメタルポスト8の頭部が露出されるので、半田ボールの固着が可能となる。

【0068】また半田ボールの強度を高めるためには、メタルポスト8の側面も含めて露出率を大きくする必要があるが、これも絶縁樹脂層Rの塗布量をコントロールすることで露出率をコントロールすることができる。

【0069】また硬化した後、メタルポスト8の頭部に極薄い膜が残存する場合もあるが、この場合は、簡単にその表面を研磨またはプラズマアッシングすればよい。特に前述したようにメタルポストの高さが均一になっているので、フラット性のある研磨板を採用すれば、全ての頭部をクリーンにできる。

【0070】また絶縁樹脂層Rを被覆した後、研磨できる程度に半硬化し、メタルポスト8の頭部近傍まで研磨してから、完全に硬化しても良い。この場合、メタルポ

(6)

9

スト8の頭部には極薄い膜しか残存しないので、絶縁樹脂層Rの収縮率が小さくても、絶縁樹脂層の収縮でメタルポストを露出させることができる。つまり樹脂の収縮率により、メタルポスト8の上に配置できる膜厚が決まるため、それに応じて研磨するか、しなくてすむか、またどの程度研磨するかを決定しメタルポストを露出させればよい。

【0071】また前記Si₃N₄膜が形成される場合は、メタルポストの頭部にSi₃N₄膜が形成されているので、この場合は、ウェットエッチング、ドライエッチングまたは研磨で取り除かれる。

【0072】更に露出したメタルポスト8にNi₁₁₀とAuがメッキされる。ここではCuの薄膜層6が再配線層7をマスクとして取り除かれているので、無電解メッキが採用され、Niが約1μm、Au₁₁が約5000Åで形成される。

【0073】メタルポスト頭部の上層まで絶縁樹脂層を塗布し、これを研磨してゆくと、メタルポストの頭出しが非常に難しい。またAuは、5000Å程度の膜厚で最上層にあるため、フラットな研磨が実現されなければ、あるポストはAuが出ており、また別のポストは、Auの上に絶縁樹脂層がかぶさり、また別のポストはAuが削られている状態を作ってしまう。つまりNiの酸化も兼ねているため、半田ボールの固着ができてい

所、弱い所、全くできない所が発生する。

【0074】本発明は、メタルポスト8が露出している

ので、バリアメタル10、11が精度高く形成でき、半田ボール12の固着性も良好になる。

【0075】この樹脂層Rは、収縮型で説明したが、前述しているように研磨しても良い。つまり樹脂層Rでメタルポスト8を完全に覆い、その後メタルポスト8が露出されるまで研磨しても良い。この研磨工程も樹脂層Rが第1の溝を埋めているので、クラック等を防止することができる。

【0076】更に図示していないがウェハ表面を保護シートで覆い、バックグランドし、ウェハの厚みを薄くする。

【0077】図では、省略したが、バックグランドした後、ウェハ裏面に樹脂を被覆しても良い。これは、バックグランドの際に発生する傷が原因で発生するウェハのカケを防止するものであると同時に、絶縁樹脂層Rの収縮により発生するウェハの反りを防止するものである。

【0078】従って、収縮が大きい樹脂層Rが表面にあるため、裏面にも同程度の厚みの樹脂層Rが設けられる必要がある。また絶縁樹脂層rも考慮され、少なくとも樹脂層Rの膜厚と同程度かこれよりも厚く、最大樹脂層Rと樹脂層rの厚み程度の膜厚が必用である。またこの後にダイシングされるので、チップのカケに対する保護、チップサイズが大きい場合の反りを考慮すれば、こ

10

の裏面に形成された保護樹脂も製品として残存させる事もできる。

【0079】最後に、用意した半田ボール12を位置合わせして搭載し、リフローする。そして、半導体基板をダイシング工程により、スクライブラインDLに沿ってチップに分割し、チップサイズ・パッケージとして完成する。

【0080】ここで半田を溶融するタイミングは、ダイシングの前である。

【0081】このダイシングは、本発明の特徴となるところであり、除去領域ELよりも幅狭のダイシングブレードを用意し、これを用いて除去領域ELのほぼセンターでフルカットする。除去領域ELは、例えば半導体基板まで到達しているハーフカットで実現されているため、半導体基板から上層に形成される各層の界面端部は、前記被覆層6'、7'および樹脂層Rで保護されてCSPとなる。

【0082】以上、本発明は、再配線型で説明してきたが、樹脂封止型でも実施できることは言うまでもない。

【0083】また本願では、絶縁樹脂層Rとしてシート30付きのフィルムFを採用しても良い。

【0084】続いて、第2の実施の形態について説明する。これは被覆材としてメタルポスト材を利用するものである。図3のシード層6、6'を形成するまでは同様である。

【0085】シード層が形成された後は、再配線層7の形成領域が露出されたホトレジストPR1を形成する。ここでは除去領域ELも覆われている。そしてシード層6、6'を介して再配線層7を形成する。(以上図6参照)

続いてホトレジストPR1を除去し、メタルポスト8の形成領域、除去領域ELの形成領域が露出したホトレジストPR2を形成し、シード層6を介してメタルポスト8を形成すると同時に、被覆材8'を形成する。(以上図7参照)

更にホトレジストPR2を除去し、樹脂層Rを形成し、半田ボールを形成し、ダイシングする。この工程も図5の工程と実質同じであるので詳細な説明は、省略する。

【0086】両実施の形態共に除去領域ELは、ダイシングで形成されているかエッチングにより実現されても良い。

【0087】以上、除去領域ELの界面が露出している領域には、再配線層材料、メタルポスト材料が被覆できるため、シールリングとしての機能を持たすことができる。しかもIC形成領域の電極で成るシールリングを別途設けると異なり、本発明は、ダイシング領域のぎりぎりの所に設けられるため、チップサイズパッケージのサイズを大きくすることなく実現できる。

【0088】

【発明の効果】本発明によれば、第1に、半導体チップ

(7)

11

周囲の側面に、半導体チップの表面から半導体基板まで到達する除去領域を設け、前記除去領域に露出した界面に、メタルポストおよび／または再配線層に用いられた材料を被覆することで、経時変化の原因となる湿気の浸入路をふさぐ事ができる。

【0089】第2に、前記除去領域を、ダイシングにより形成することで、除去領域ELの形成時間を大幅に短縮することができる。

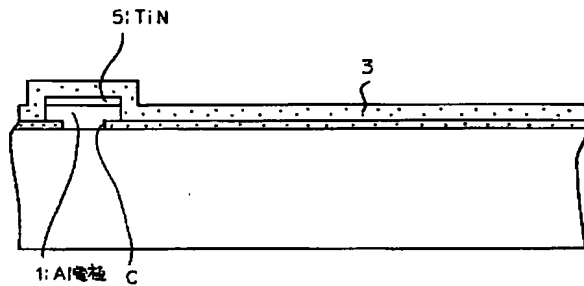
【0090】第3に、前記除去領域には樹脂が形成され、界面が露出する側面よりも外側でフルカットすることで、二重のシールが実現できる。

【0091】更には、Cuのメッキ工程を共用することで、別途工程の付加をすることなく形成することができる。

【図面の簡単な説明】

【図1】 本発明の第1の実施形態に係る半導体装置の製造方法を説明する図である。

【図1】



12

【図2】 本発明の第1の実施形態に係る半導体装置の製造方法を説明する図である。

【図3】 本発明の第1の実施形態に係る半導体装置の製造方法を説明する図である。

【図4】 本発明の第1の実施形態に係る半導体装置の製造方法を説明する図である。

【図5】 本発明の第1の実施形態に係る半導体装置の製造方法を説明する図である。

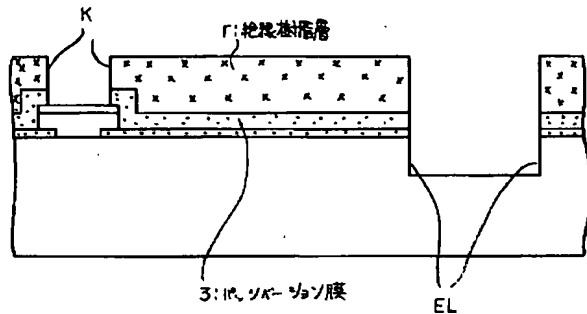
【図6】 本発明の第2の実施形態に係る半導体装置の製造方法を説明する図である。

【図7】 本発明の第2の実施形態に係る半導体装置の製造方法を説明する図である。

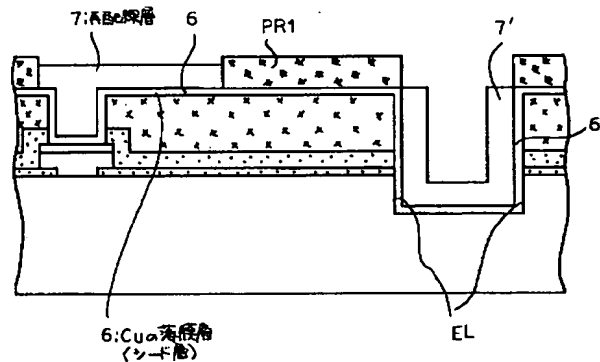
【図8】 本発明の第2の実施形態に係る半導体装置の製造方法を説明する図である。

【図9】 従来のチップサイズパッケージを説明する図である。

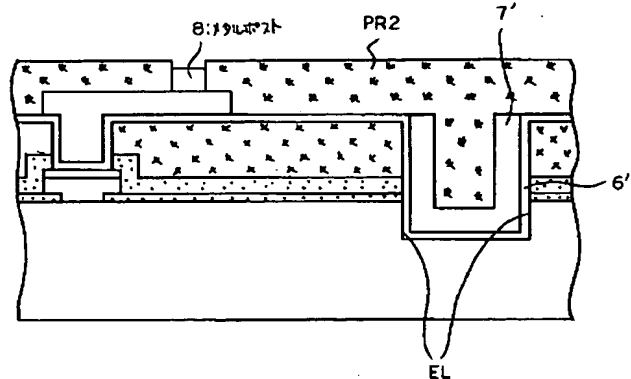
【図2】



【図3】

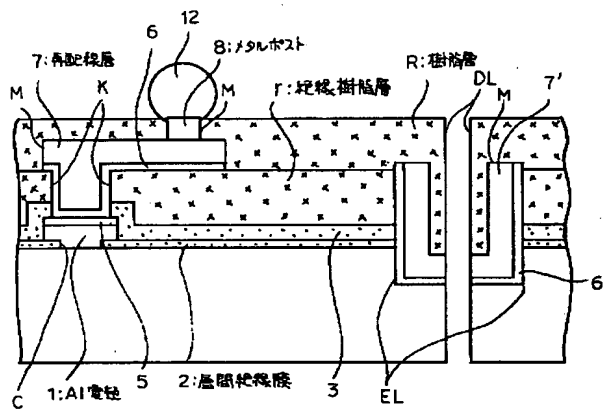


【図4】

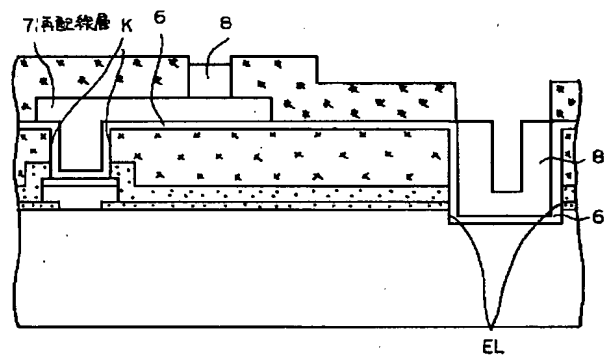


(8)

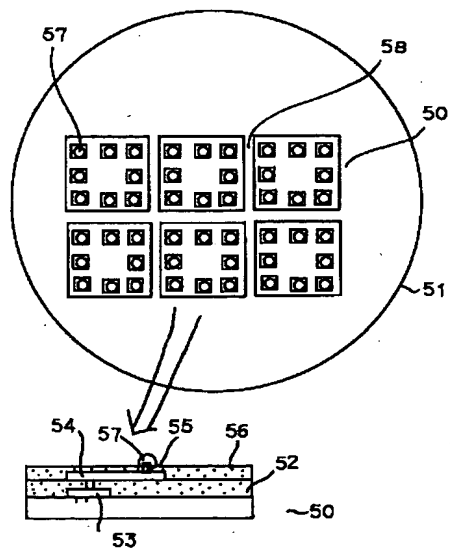
【図 5】



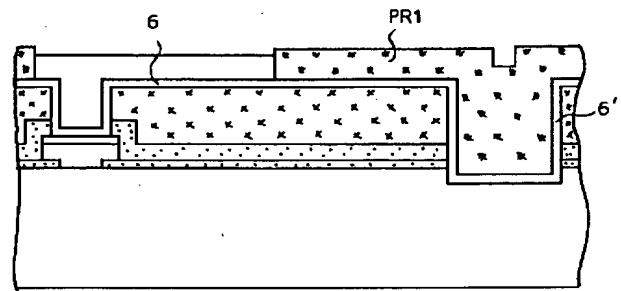
【図 7】



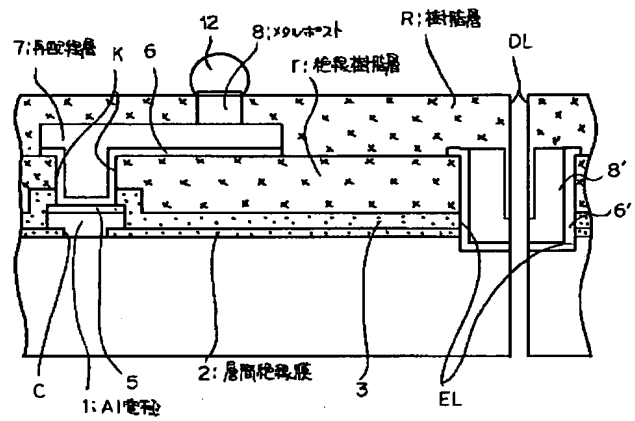
【図 9】



【図 6】



【图 8】



(9)

フロントページの続き

(72) 発明者 高井 信行

大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

(72) 発明者 北川 勝彦

大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

Fターム(参考) 4M109 AA02 BA07 CA05 CA24 DA04
DA07 DB17 EA02 EA07 EA11
EA12 EC01 ED02 ED03 EE03
5F033 HH08 HH11 HH13 JJ08 JJ11
JJ33 KK01 KK08 KK33 PP15
PP27 PP28 QQ03 QQ08 QQ11
QQ37 QQ47 RR06 RR21 SS15
SS21 VV03 VV07 XX18